

**PAT-NO:** JP404064279A  
**DOCUMENT-IDENTIFIER:** JP 04064279 A  
**TITLE:** MULTILAYER THIN FILM WIRING BOARD  
**PUBN-DATE:** February 28, 1992

**INVENTOR-INFORMATION:**

**NAME**            **COUNTRY**  
KATO, HIDEKI

**ASSIGNEE-INFORMATION:**

**NAME**            **COUNTRY**  
FUJITSU LTD N/A

**APPL-NO:** JP02178245

**APPL-DATE:** July 4, 1990

**INT-CL (IPC):** H05K003/46

**US-CL-CURRENT:** 29/829

**ABSTRACT:**

**PURPOSE:** To further increase the density of a board by setting signal propagation delay time arbitrarily without installing a useless dummy gate or an extended wiring layer to said wiring layer.

**CONSTITUTION:** A mesh hole 10 on a ground layer 2 installed in contact with a dielectric board 1 is enlarged arbitrarily in conformity with signal propagation delay time to be adjusted by the first wiring layers 4 and 5 on the upper part layer. If the hole size is enlarged arbitrarily in response to the signal propagation delay time, the permittivity around the X and Y wiring layers 4 and 5 will be increased under the effect of the dielectric board 1 whose relative permittivity is larger than that of synthetic resin layers 3a to 3c, and 7a and 7b, which makes it possible to set the signal propagation delay time in response to the size of the mesh hole 10 and enhance the density of the board.

**COPYRIGHT:** (C)1992,JPO&Japio

## ⑫ 公開特許公報(A) 平4-64279

⑤ Int. Cl.<sup>5</sup>

H 05 K 3/46

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月28日

E 6921-4E

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 多層薄膜配線基板

⑰ 特 願 平2-178245

⑱ 出 願 平2(1990)7月4日

⑲ 発 明 者 加 藤 秀 貴 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 古谷 史旺

## 明 細 書

## 1. 発明の名称

多層薄膜配線基板

## 2. 特許請求の範囲

(1) 誘電率の大なる誘電体基板(1)上にメッシュ状のグラウンド層(2)を設け、そのグラウンド層(2)上に合成樹脂層(3a, 3b)を介してX, Y配線層(4, 5)を設け、その配線層(5)上に合成樹脂層(3c)を介してメッシュ状のグラウンド層(6)を設け、そのグラウンド層(6)上に同様に合成樹脂層(7a, 7b)を介してX, Y配線層(8, 9)を多層に設けるようにした多層薄膜配線基板において、

上記誘電体基板(1)に接して設けられたグラウンド層(2)のメッシュ孔(10)を、その上層最初のX, Y配線層(4, 5)の調整しようとする信号伝搬遅延時間に合わせて任意の大きさにしてあることを特徴とする多層薄膜配線基板。

(2) 誘電率の大なる誘電体基板(1)上にメッ

シュ状のグラウンド層(2)を設け、そのグラウンド層(2)上に合成樹脂層(3a, 3b)を介してX, Y配線層(4, 5)を設け、その配線層(5)上に合成樹脂層(3c)を介してメッシュ状のグラウンド層(6)を設け、そのグラウンド層(6)上に同様に合成樹脂層(7a, 7b)を介してX, Y配線層(8, 9)を多層に設けるようにした多層薄膜配線基板において、

上記誘電体基板(1)上の最初のX, Y配線層(4, 5)を、調整しようとする信号伝搬遅延時間に合わせてグラウンド層(2)のメッシュ孔(10)が形成されている任意の位置上に設けてあることを特徴とする多層薄膜配線基板。

## 3. 発明の詳細な説明

(概要)

多層薄膜配線基板に関し、

配線層の信号伝搬遅延時間を調整するためのゲート、延長配線層を不要にして信号伝搬遅延時間を任意に設定することができることにより

高密度化を図ることを目的とし、

誘電率の大なる誘電体基板上にメッシュ状のグラウンド層を設け、そのグラウンド層上に合成樹脂層を介して X、Y 配線層を設け、その配線層上に合成樹脂層を介してメッシュ状のグラウンド層を設け、そのグラウンド層上に同様に合成樹脂層を介して X、Y 配線層を多層に設けるようにした多層薄膜配線基板において、上記誘電体基板に接して設けられたグラウンド層のメッシュ孔を、その上層最初の X、Y 配線層の調整しようとする信号伝搬遅延時間に合わせて任意に大きくし、又は誘電体基板の上の最初の X、Y 配線層を、調整しようとする信号伝搬遅延時間に合わせてグラウンド層のメッシュ孔が形成されている任意の位置上に設けるようにした。

#### (産業上の利用分野)

本発明は、多層薄膜配線基板、主として絶縁層(誘電体層)をポリイミド層とする多層ポリイミド薄膜配線基板に関する。

り、RAM 30 へのデータ①とデータ②とが同時に到達しなくなる。従って、RAM 30 へ同時に書き込まれるべきデータ①とデータ②が RAM 30 に書き込み得なくなる。

そこで、LSI 31 からのデータ①と、LSI 32 間のデータ②とを合わせるために、RAM 30 と LSI 31 間の配線層にダミーゲート 33 又は延長配線層 34 を設けて信号伝搬遅延時間を調整するようにしている。

#### (発明が解決しようとする課題)

然し乍ら、上述の多層薄膜配線基板では、前述のデバイス間の信号遅延時間の差異を解消することはできず、RAM 30 と LSI 31 間の配線層に無駄なダミーゲート 33 又は延長配線層 34 を設けなければならない、従って、配線基板の高密度化が困難であった。

本発明は斯かることに鑑みてなされたもので、配線層に無駄なダミーゲート又は延長配線層を設けることなく、信号伝搬遅延時間を任意に設定す

一般に、多層ポリイミド薄膜配線基板は、セラミック基板上にガスを抜くためのメッシュ孔が形成されたメッシュ状のグラウンド層が設けられ、そのグラウンド層上にポリイミド層を介して X 方向の X 配線層及び Y 方向の Y 配線層が設けられ、X 配線層と Y 配線層間がビアで連結され、その X、Y 配線層上にポリイミド層を介してメッシュ状のグラウンド層が設けられ、グラウンド層上に同様にポリイミド層を介して X 方向の X 配線層及び Y 方向の Y 配線層が多層に設けられた多層薄膜配線基板となっている。

#### (従来の技術)

ところで、従来第 10 図に示すような論理回路において、RAM 30 に、例えば 2 つの LSI 31、32 が接続されている場合に、RAM 30 と LSI 31 及び RAM 30 と LSI 32 間の配線層の長さが異なると信号伝搬時間が異なる。そのため、LSI 31 から伝搬されるデータ①と LSI 32 から伝搬されるデータ②の伝搬時間が異なる

ことができることにより高密度化が図れる多層薄膜配線基板を提供することを目的とするものである。

#### (課題を解決するための手段)

第 1 図は、本発明の原理構成図を示したものである。

上記目的を達成するために本発明の構成は、誘電率の大なる誘電体基板 1 上にメッシュ状のグラウンド層 2 を設け、そのグラウンド層 2 上に合成樹脂層 3a、3b を介して X、Y 配線層 4、5 を設け、その配線層 5 上に合成樹脂層 3c を介してメッシュ状のグラウンド層 6 を設け、そのグラウンド層 6 上に同様に合成樹脂層 7a、7b を介して X、Y 配線層 8、9 を多層に設けるようにした多層薄膜配線基板において、誘電体基板 1 上に接して設けられたグラウンド層 2 のメッシュ孔 10 を、その上層最初の配線層 4、5 の調整しようとする信号伝搬遅延時間に合わせて任意に大きくした。

本発明の他の構成は、誘電率の大なる誘電体基

板1上にメッシュ状のグラウンド層2を設け、そのグラウンド層2上に合成樹脂層3a、3bを介してX、Y配線層4、5を設け、その配線層5上に合成樹脂層3cを介してメッシュ状のグラウンド層6を設け、そのグラウンド層6上に同様に合成樹脂層7a、7bを介してX、Y配線層8、9を多層に設けるようにした多層薄膜配線基板において、誘電体基板1上の最初のX、Y配線層4、5を、調整しようとする信号伝搬遅延時間に合わせてグラウンド層2のメッシュ孔10が形成されている任意の位置上に設けた。

#### (作用)

誘電体基板に直接接して設けられたメッシュ状のグラウンド層のメッシュ孔の大きさを、その上層最初のX、Y配線層の調整しようとする信号伝搬遅延時間に合わせて任意に大きくすれば、合成樹脂層に較べて誘電率の大きな誘導体基板の影響を受けて前記X、Y配線層の周囲の比誘電率は高くなり、そのメッシュ孔の大きさに応じて信号伝搬

遅延時間を任意に設定することが可能となる。

また、誘電体基板上の最初のX、Y配線層を、配線層の調整しようとする信号伝搬遅延時間に合わせてグラウンド層のメッシュ孔が形成されている任意の位置上に設ければ、合成樹脂層に較べて誘電率の大きな誘導体基板の影響を受けて同様に前記X、Y配線層の周囲の比誘電率は高くなり、そのメッシュ孔と交差する配線層の面積に応じて信号伝搬遅延時間を任意に設定することが可能となる。

#### (実施例)

以下、本発明の多層薄膜配線基板の一実施例を、第2図乃至第7図を参照しながら説明する。

第2図において、11は誘電率の大きな誘電体基板で、例えばセラミック基板からなる。セラミック基板からなる誘電体基板11上には、メッシュ状のグラウンド層12が設けられている。メッシュ状のグラウンド層12には、第3図に示すように楕円形の大きなメッシュ孔13が形成されている。

このメッシュ孔13は、グラウンド層12上に設けられるポリイミド層からなる合成樹脂層14a、14b、14c内に含まれるガスを抜くための孔を兼ねるものであるが、配線層の周囲の誘電体の誘電率が大きな誘電体基板11の影響を受け易くするために、その大きさは、後述するこの上方に設けるメッシュ状のグラウンド層18のメッシュ孔19の約数倍になっている。またメッシュ状のグラウンド層12上には、第4図に示すように例えばポリイミド層からなる合成樹脂層14aを介してX方向に延びるX配線層(第1の配線層)15が設けられている。X配線層15上には、第5図に示すようにポリイミド層からなる合成樹脂層14bを介してY方向に延びるY配線層(第2の配線層)16が設けられている。前記X配線層15とY配線層16は、第6図に示すようにビア17で接続されている。そのY配線層16上には、ポリイミド層からなる合成樹脂層14cを介してメッシュ状のグラウンド層18が設けられている。メッシュ状のグラウンド層18には、第7図に示すよう

にこのグラウンド層18上に設けられるポリイミド層からなる合成樹脂層20a、20bに含まれるガスを抜くための通常の大きさの楕円形のメッシュ孔19が形成されている。このメッシュ孔19は、ガスを抜くためのみの孔であり、前記メッシュ状のグラウンド層12のメッシュ孔13と比較して小さな孔になっている。そして、メッシュ状のグラウンド層18上には、ポリイミド層からなる合成樹脂層20aを介してX方向に延びるX配線層(第3の配線層)21が設けられ、更にポリイミド層からなる合成樹脂層20bを介してY方向に延びるY配線層(第4の配線層)22が設けられている。

かかる多層ポリイミド薄膜配線基板によれば、ポリイミド層からなる合成樹脂層14a、14b、14c、20a、20bに較べて誘電率の大きなセラミック基板からなる誘電体基板11上に直接設けられたメッシュ状のグラウンド層12のメッシュ孔13を通常のメッシュ孔19よりも大きくしたので、誘電率の大きな誘電体基板11の影響を

受けてX配線層(第1の配線層)15及びY配線層(第2の配線層)16と同調の誘電体との比誘電率は高くなり、信号伝搬遅延時間を任意に設定することができる。そして、グラウンド層12のメッシュ孔13の大きさを、グラウンド層18のメッシュ孔19に対して適当な割合にすることにより、配線層15、16での遅延量を配線層1cm当たり10~20psecにすることが可能となり、それだけ大きな信号伝搬遅延時間を信号に与えることができる。

従って、第10図に示す論理回路において、RAM30とLSI31間を接続する配線層に、この多層ポリイミド薄膜配線基板のX配線層(第1の配線層)15及びY配線層(第2の配線層)16を使用し、RAM30とLSI32間を接続する配線層に、X配線層(第3の配線層)21及びY配線層(第4の配線層)22を使用すれば、ダミーゲート又は延長配線層を設けることなくRAM30とLSI31間を接続する配線層を経て伝達されるの信号に対し、RAM30とLSI32

間を接続する配線層の信号伝搬遅延相違分だけの遅延を与えてLSI31から伝搬されるデータ①とLSI32から伝搬されるデータ②とを合わせることができる。また、単位長さ当たりの信号伝搬遅延時間が大きくなって、配線基板の高密度化も図れる。

第8図及び第9図は、本発明の多層ポリイミド薄膜配線基板の他の実施例である。

この実施例は、セラミック基板からなる誘電率が大なる誘電体基板の最初のX方向に延びるX配線層(第1の配線層)15を、第8図に示すように調整しようとする信号伝搬遅延時間に合わせてグラウンド層12のメッシュ孔13が形成されている任意の位置上にポリイミド層からなる合成樹脂層14aを介して設け、またY方向に延びるY配線層(第2の配線層)16を、第9図に示すように調整しようとする信号伝搬遅延時間に合わせてグラウンド層12のメッシュ孔13が形成されている任意の位置上にポリイミド層からなる合成樹脂層14bを介して設けたものである。

かかる構成の多層薄膜基板の場合も、配線層15、16はポリイミド層からなる合成樹脂層14a、14bに較べて誘電率の大なるセラミック基板からなる誘電体基板11の影響を受けてそのメッシュ孔13と交差する配線層15、16の面積に応じた信号伝搬遅延時間が信号に与えられる。従って、配線層15、16の信号伝搬遅延時間を任意の値に設定でき、また単位長さ当たりの信号伝搬遅延時間が大きくなって、配線基板の高密度化も図れる。

上記実施例においては、誘電率の大なる誘電体基板は、セラミック基板を用いているが、ガラス、シリコン等、その他の誘電率の大きなものが用いられる。また、合成樹脂層も、ポリイミド層以外の合成樹脂層が用いられる。更に、グラウンド層のメッシュ孔の形状も、楕円形に限定されない。

#### (発明の効果)

以上述べた如く本発明は、誘電体基板に接して設けられたグラウンド層のメッシュ孔を、配線層の

調整しようとする信号伝搬遅延時間に合わせて任意の大きさにし、又は誘電体基板上の最初のX、Y配線層を調整しようとする信号伝搬遅延時間に合わせてグラウンド層のメッシュ孔が形成されている任意の位置上に設けたことで、配線層に無駄なダミーゲート又は延長配線層を設けることなくして信号伝搬遅延時間を任意に設定することができ、配線基板の高密度化も図れるという効果を奏する。

#### 4. 図面の簡単な説明

第1図は本発明の原理構成図、

第2図は本発明の一実施例の断面図、

第3図はその誘電体基板上のグラウンド層の上面図、

第4図及び第5図はそのグラウンド層上に合成樹脂層を介してそれぞれ設けられたX、Y配線層の上面図、

第6図はそのX、Y配線層の接続部の上面図、

第7図はその上方側のグラウンド層の上面図、

第8図及び第9図は本発明の他の実施例を示し

たもので、第 8 図はグラウンド層上に合成樹脂層を介して設けた X 配線層の上面図、

第 9 図は Y 配線層の上面図、

第 10 図は従来の論理回路のブロック図である。

第 1 図において、

1 は誘電体基板、

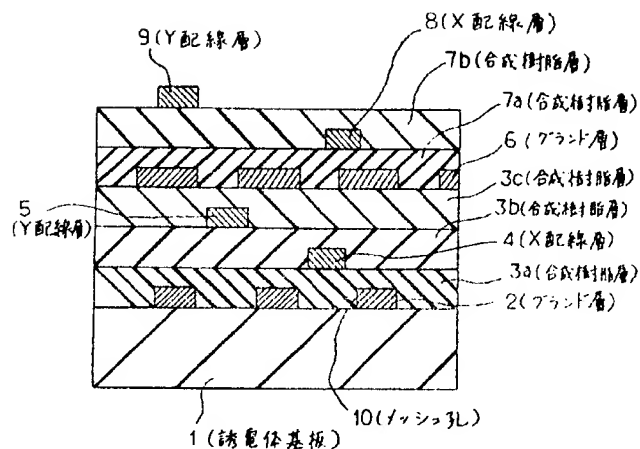
2、6 はグラウンド層、

3 a、3 b、3 c、7 a、7 b は合成樹脂層、

4、8 は X 配線層、

5、9 は Y 配線層、

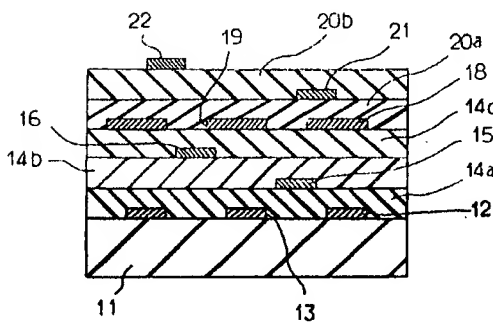
10 はメッシュ孔である。



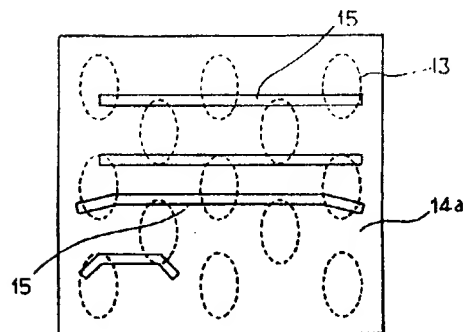
本発明の原理構成図  
第 1 図

特許出願人 富士通株式会社

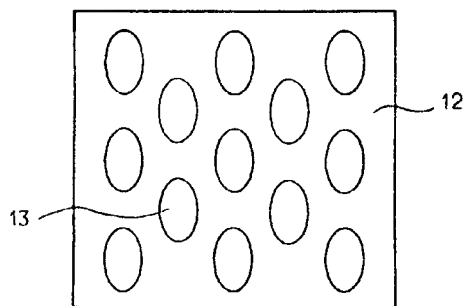
代理人 弁理士 古谷 史



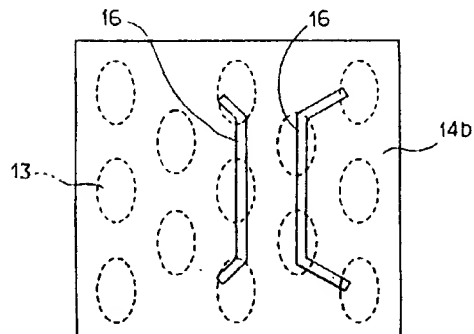
本発明の一実施例の断面図  
第 2 図



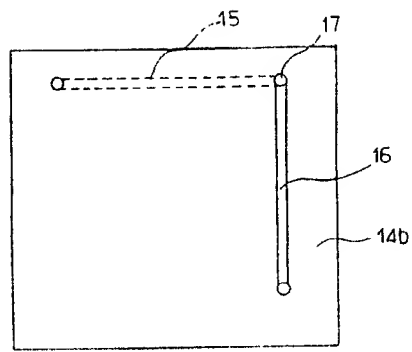
X 配線層の上面図  
第 4 図



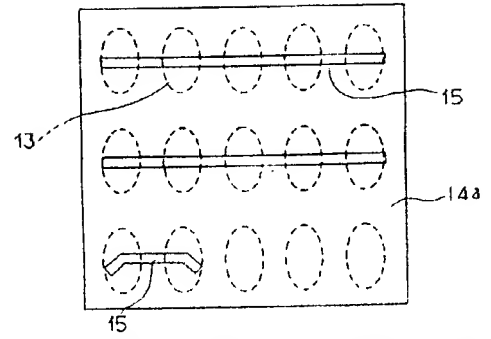
誘電体基板上のグラウンド層の上面図  
第 3 図



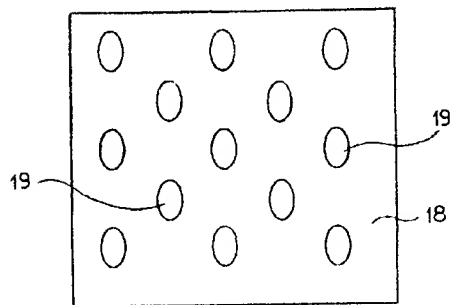
Y 配線層の上面図  
第 5 図



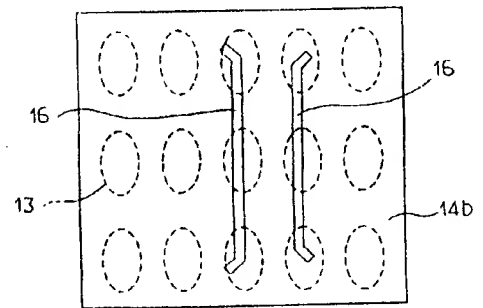
X,Y配線層の接続部の上面図  
第 6 図



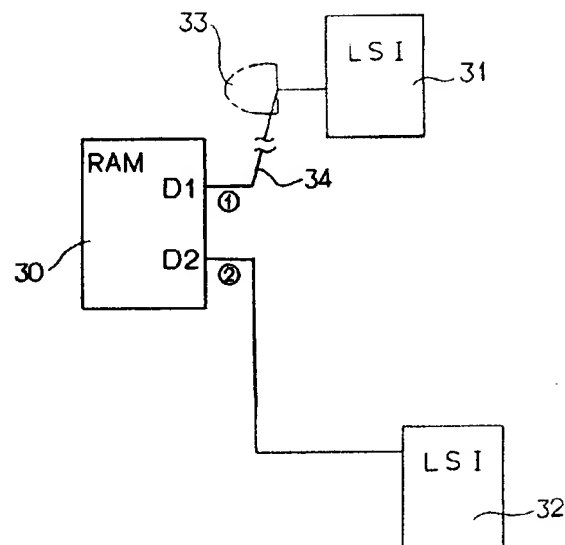
本発明の他の実施例のX配線層の上面図  
第 8 図



上方側のグラウンド層の上面図  
第 7 図



本発明の他の実施例のY配線層の上面図  
第 9 図



従来の論理回路のブロック図  
第 10 図